



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000164569 A**(43) Date of publication of application: **16.06.00****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

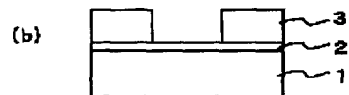
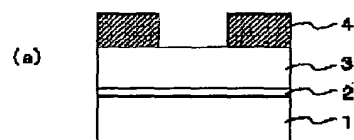
oxygen plasma etching is carried out.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To protect a copper wiring against oxidation without making a process complicated by a method wherein a copper metal film, an insulating film, and a resist film are successively formed on a semiconductor substrate, a hole is bored in the insulating film so as to reach the copper metal film, and oxygen plasma etching is carried out at a specific temperature.

SOLUTION: A silicon oxide film 1, a silicon nitride film 2, and a silicon oxide film 3 are successively formed in this order on a semiconductor substrate where an element is formed, and a resist patterned as prescribed is provided thereon. Then, dry etching is carried out using the resist 4 as a mask, and a lower wiring burying groove is cut in the silicon oxide film 3. At this point, the silicon nitride film 2 functions as an etching stopper. In succession, by oxygen plasma ashing and cleaning with a release solution that contains amine compound, the resist 4 is separated. Moreover, a substrate is kept at a temperature of -50 to 50°C when



(51) Int. Cl.

H01L 21/3065**G03F 7/42****H01L 21/027****H05H 1/46**(21) Application number: **10334382**(71) Applicant: **NEC CORP**(22) Date of filing: **25.11.98**(72) Inventor: **AOKI HIDEMITSU**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164569

(P2000-164569A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/3065		H 0 1 L 21/302	H 2 H 0 9 6
G 0 3 F 7/42		G 0 3 F 7/42	5 F 0 0 4
H 0 1 L 21/027		H 0 5 H 1/46	A 5 F 0 4 6
H 0 5 H 1/46		H 0 1 L 21/30	5 7 2 A

審査請求 有 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平10-334382

(22) 出願日 平成10年11月25日 (1998. 11. 25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青木 秀充

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

Fターム(参考) 2H096 AA25 CA05 HA30 LA07 LA09

5F004 AA09 AA16 BA14 BB11 BB25

BB26 BD01 CA04 DA00 DA23

DA26 DB03 DB07 DB23 DB26

DB27 EA23 FA08

5F046 LA19 LB10 MA12

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 銅配線を備えた多層構造を形成する際、工程の煩雑化をもたらすことなく銅配線の酸化を防ぐこと。

【解決手段】 銅系金属膜の上部にエッチングにより接続孔を設けた後、エッチングに使用したレジストを剥離する際、基板温度を-50℃～50℃として酸素プラズマエッチングを行う。

【特許請求の範囲】

【請求項 1】 半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜の上に絶縁膜を形成する工程と、該絶縁膜上に所定の形状にパターニングされたレジストを形成する工程と、該レジストをマスクとして該絶縁膜中に前記銅系金属膜に達する孔を設ける工程と、前記半導体基板の温度を -50°C ～ 50°C として酸素プラズマエッチングを行い前記レジストを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記酸素プラズマエッチングを行う際、前記半導体基板の温度を -50°C ～ 30°C とすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記酸素プラズマエッチングを行う雰囲気圧力を 500 mtorr 以下とすることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記半導体基板を高周波電源に接続した電極上に載置し、該半導体基板に高周波バイアスを印加した状態で前記酸素プラズマエッチングを行うことを特徴とする請求項 1 乃至 3 いずれかに記載の半導体装置の製造方法。

【請求項 5】 前記酸素プラズマエッチングを行う際、酸素流量を $10\sim 100\text{ sccm}$ とすることを特徴とする請求項 1 乃至 4 いずれかに記載の半導体装置の製造方法。

【請求項 6】 前記レジストを除去する工程の後、アミン化合物を含む剥離液を用いて前記孔の内壁を洗浄する工程を有することを特徴とする請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法。

【請求項 7】 半導体基板上に銅系金属膜と絶縁膜とレジストとを順次積層し、前記銅系金属膜が露出する開口部を形成した後、前記銅系金属膜表面の酸化を抑制できる温度で前記レジストを除去することを特徴とする半導体装置の製造方法。

【請求項 8】 前記レジストの除去を酸素プラズマエッチングにより行うことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記銅系金属膜表面の酸化を抑制できる温度は、前記酸素プラズマエッチングにより前記レジストを除去する時間内に前記銅系金属膜が酸化される膜厚を前記銅系金属膜の膜厚の 3% 以下に抑制できる温度であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記銅系金属膜表面の酸化を抑制できる温度は、 $-50\sim 50^{\circ}\text{C}$ であることを特徴とする請求項 7 乃至 9 いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体基板上に銅系金属膜からなる配線や接続プラグを備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】 銅配線を備えた半導体装置の製造方法について、第一の従来技術を図 4～6 を参照して説明する。

【0003】 まずトランジスタ等の素子を形成した半導体基板（不図示）上に、シリコン酸化膜 1、シリコン窒化膜 2、シリコン酸化膜 3 をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト 4 を設ける（図 4（a））。

10 【0004】 次にレジスト 4 をマスクとしてドライエッチングを行い、シリコン酸化膜 3 中に下層配線埋め込み用の溝を形成する。このときシリコン窒化膜 2 がエッチングストッパーとして機能する。つづいて、酸素プラズマのアッシングおよびアミン化合物を含有する剥離液を用いた洗浄により、レジスト 4 を剥離処理する（図 4（b））。

20 【0005】 次に、全面にバリア金属膜として TaN 膜 5 をスパッタリング法により堆積する。さらにその上に銅膜 6 をスパッタリング法により堆積し、溝部を埋め込む（図 4（c））。つづいて CMP（Chemical Mechanical Polishing；化学的機械的研磨法）により溝外部に形成された不要な TaN 膜 5 および銅膜 6 を除去して下層配線を完成する（図 4（d））。

【0006】 下層配線形成後、シリコン窒化膜 7、シリコン酸化膜 8 をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト 9 を設ける（図 5（a））。このレジスト 9 をマスクとしてシリコン窒化膜 7 が露出するまでシリコン酸化膜 8 をドライエッチングし、層間接続孔を形成する（図 5（b））。層間接続孔の開口径は、たとえば $0.25\mu\text{m}$ とする。エッチングガスとしては C_4F_8 、Ar、 O_2 を含む混合ガスを用いる。このガスは、シリコン酸化膜 8 とシリコン窒化膜 7 に対し大きなエッチングレートを有するため（シリコン酸化膜：シリコン窒化膜 $=20:1$ ）、エッチングはシリコン窒化膜 7 の上部でストップする。

【0007】 つづいてシリコン窒化膜 7 をドライエッチングし、下層配線の表面を露出させる（図 5（c））。エッチングガスとして、 CHF_3 、Ar の混合ガスを用いる。つづいて、酸素プラズマアッシングを行いレジスト 9 を剥離処理する（図 6（a））。アッシング時の基板温度は $150\sim 250^{\circ}\text{C}$ とし、処理ガスは、酸素ガスとする。レジストの除去後、シリコン酸化膜 8 上にレジスト残渣 11 が残存するとともに、層間接続孔内部に堆積物 12 が付着する。この堆積物 12 は、レジスト材料や銅等がエッチングガス（ CHF_3 含有ガス）と反応し生成したものである。

【0008】 次に、上述のレジスト残渣 11 や堆積物 12 を除去するため、剥離液を用いて洗浄を行う（図 6（b））。その後、層間接続孔内部にバリア金属膜、埋め込み導電膜を成膜し、表面を平坦化することにより

3

層間接続プラグを完成する。

【0009】以上述べた例では、レジスト9の剥離処理を、図5(c)のシリコン窒化膜7のエッチング後に行っているが、シリコン窒化膜7のエッチング前の図5(b)の段階で剥離処理してもよい。このような方法による第二の従来技術について、図面を参照して説明する。

【0010】まず図4(a)～(d)と同様にして下線配線を形成する。下層配線形成後、シリコン窒化膜7、シリコン酸化膜8をこの順で形成し、さらにその上に所定の形状にパターンニングしたレジスト9を設ける(図7(a))。次にこのレジスト9をマスクとしてシリコン窒化膜7が露出するまでシリコン酸化膜8をドライエッチングし、層間接続孔を形成する(図7(b))。層間接続孔の開口径は、たとえば0.25 μ mとする。エッチングガスとしてはC₄F₈、ArおよびO₂を含む混合ガスを用いる。

【0011】この状態でレジスト9を酸素プラズマアッシングにより除去する。アッシング時の基板温度は150～250℃とし、処理ガスは酸素ガスとする。レジストの除去後、シリコン酸化膜8上にレジスト残渣11が残存するとともに、層間接続孔内部に堆積物10が付着する(図7(c))。そこで、これらのレジスト残渣11や堆積物10を除去するため剥離液を用いて洗浄を行う(図8(a))。

【0012】つづいてシリコン窒化膜7をドライエッチングし、下層配線の表面を露出させる(図8(b))。エッチングガスとしてCHF₃、Arの混合ガスを用いる。

【0013】ドライエッチング後、レジスト残渣11や堆積物12を除去するため、再度アミン化合物を含有する剥離液を用いて洗浄を行う(図8(c))。その後、層間接続孔内部にバリア金属膜、埋め込み導電膜を成膜し、表面を平坦化することにより層間接続プラグを完成する。

【0014】

【発明が解決しようとする課題】しかしながら上記従来技術においては、以下のような点で改善の余地を有していた。

【0015】第一の従来技術は、図6(a)に示すように、酸素プラズマアッシングを行うと銅膜が酸化され、酸化銅14が形成される。銅の酸化は、表面のみならず50nm程度の深さにまで進行する。このような酸化銅14が形成されると、コンタクト配線の抵抗が増大したり接続不良が生じ、素子の信頼性が低下するという問題があった。

【0016】上記酸素プラズマアッシングは、プラズマ放電により発生させた酸素ラジカルのような活性種と、加熱により活性化したレジスト樹脂とを反応させることにより行うものである。これにより、レジストの主成分

4

である有機樹脂が酸素プラズマ放電により生成される活性種と反応してCO₂やH₂O等のガスに分解され基板表面から除去される。

【0017】ここで酸素プラズマアッシングを行うためには、基板を加熱しレジストを一定温度以上にする必要がある。これは、酸素プラズマ中の活性酸素種や酸素イオン種がレジスト中の有機樹脂と化学反応を起こすためのしきい値温度が存在するためである。レジストとして用いられる通常の有機樹脂では、基板温度を100℃未満とした状態では特に反応が遅くなる。通常は、プロセス効率を考慮して150℃以上の温度で処理がなされる。

【0018】一方、アッシング時の温度をあまり高くすると、CO₂やH₂O等のガス生成反応以外に有機樹脂の炭化反応が起こり、レジストが焦げ付くことがある。このため通常、250℃以下の温度で処理が行われる。

【0019】以上のことから、レジストの焦げ付きが起らない程度に、しかもCO₂やH₂O等のガスを高収率に生成させるため、アッシングの際、基板温度を150～250℃に制御することが必要となる。ところがこの温度でアッシングを行うと、前述のように銅膜の酸化が進行し、コンタクト配線抵抗が上昇するという問題が生じるのである。この問題は銅系金属膜の酸化の進行が速いことにより生じるものであり、銅系金属膜を設けた場合に特有に発生する問題である。

【0020】一方、前述の第二の従来技術は、銅配線の表面をシリコン窒化膜で覆った状態でアッシングを行うため、上記のような銅の酸化を防止できる。しかしながら、工程数が増加し、操作が煩雑となるという問題がある。この方法を採用した場合、剥離液により処理を図7(c)の後と図8(b)の後の両方で行う必要がある。この剥離液による処理は、エッチングやアッシングを行う装置からウエハを取り出して行う必要があり、ウエハの移動を伴うため工程時間が増大する。

【0021】なお、上述した以外の方法として、第一の従来技術の方法において酸素プラズマアッシングを行わずに剥離液でレジストを除去する方法も考えられる。しかしこの場合、レジストも堆積物も効果的に除去できるとともに銅膜を劣化させないような特殊な剥離液が必要とされ、また剥離液の交換頻度も高くなる。ところがこのような要求を十分に満たす剥離液は見出されておらず、上述した第一または第二の従来技術に頼らざるを得ないのが現状である。

【0022】本発明は上記課題を解決するためになされたものであり、銅配線多層構造を形成する際、工程の煩雑化をもたらすことなく銅配線の酸化を防ぐことを目的とする。

【0023】

【課題を解決するための手段】本発明によれば、半導体基板上に銅系金属膜を形成する工程と、該銅系金属膜の

10

20

30

40

50

5

上に絶縁膜を形成する工程と、該絶縁膜上に所定の形状にパターニングされたレジストを形成する工程と、該レジストをマスクとして該絶縁膜中に前記銅系金属膜に達する孔を設ける工程と、前記半導体基板の温度を -50°C ～ 50°C として酸素プラズマエッチングを行い前記レジストを除去する工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0024】本発明は、従来技術における酸素プラズマアッシングに代え、酸素プラズマエッチングによりレジストを除去するものである。

【0025】前述のように、酸素プラズマアッシングでは、活性酸素種や酸素イオン種がレジスト樹脂と化学反応を起こすためのしきい値温度が存在する。レジストとして用いられる通常の有機樹脂では、基板温度を 100°C 以下とした状態ではプラズマアッシング処理では極端に反応が遅くなる。

【0026】これに対し上記半導体装置の製造方法は、基板温度を -50°C ～ 50°C とした状態で半導体基板を酸素プラズマ中に置き、酸素プラズマエッチングによりレジストの除去を行うものである。この温度領域では従来の酸素プラズマアッシング処理を効率よく行うことは困難であった。ところが本発明者の検討によれば、このような温度領域においても、RFバイアスを印加したり処理雰囲気圧力の調整する等の方法により、レジストの除去が可能となることが明らかになった。本発明はかかる知見に基づいてなされたものであり、銅系金属膜の酸化の進行を抑制しつつレジストを除去することができる。

【0027】また上記半導体装置の製造方法は、レジスト剥離後に残存するレジスト残渣をその後の洗浄工程で容易に除去できるという利点を有する。レジスト残渣とは、レジストの剥離の際、レジスト樹脂とエッチングガスやアッシングガスとの反応生成物が絶縁膜上に付着したものである。本発明の方法を用いた場合、このレジスト残渣を、その後の洗浄により容易に除去することができる。これは、レジスト剥離時の処理温度を低くしているため、残存するレジスト樹脂の膜質が変化することによるものと推察される。本発明の方法では低温下でレジストの剥離を行うため従来のアッシング処理と比較してレジスト残渣の量が増大する場合があるが、このような場合でも後の洗浄工程でレジスト残渣を容易に除去するため、特に問題とならない。

【0028】また本発明によれば、半導体基板上に銅系金属膜と絶縁膜とレジストとを順次積層し、前記銅系金属膜が露出する開口部を形成した後、前記銅系金属膜表面の酸化を抑制できる温度で前記レジストを除去することを特徴とする半導体装置の製造方法が提供される。

【0029】この半導体装置の製造方法によれば、銅系金属膜の酸化の進行を抑制しつつレジストを除去することができる。

6

【0030】この半導体装置の製造方法において、レジストの除去は、酸素プラズマエッチングにより行うことが好ましい。

【0031】上記銅系金属膜表面の酸化を抑制できる温度は、たとえば、酸素プラズマエッチングにより上記レジストを除去する時間内に銅系金属膜が酸化される膜厚を、銅系金属膜の膜厚の3%以下に抑制できる温度とすることが望ましく、特に -50°C ～ 50°C とすることが望ましい。銅系金属膜が酸化されると、後工程で銅系金属膜を除去するので、その分、銅系金属膜の膜厚が減ることとなる。一般に、この膜厚が2～3%以上減ると、配線抵抗の増加等、半導体装置の電気特性に影響するといわれている。従って、たとえば300nmの銅系金属膜を使用した場合、酸化される膜厚を9nm($=300 \times 0.03$)以内に収めることが望ましい。銅系金属膜の膜厚は、酸素プラズマエッチング等によりレジストを除去する時間と、エッチングするときの半導体基板の温度で決まり、時間が長くなればなるほど、また、温度が高くなればなるほど厚くなる。また、レジストの除去時間は、温度が低くなるほど、除去しきれまでの時間が長くなる。これらの点を考慮して、銅系金属膜が酸化される膜厚を銅系金属膜の膜厚の3%以下に抑制できる温度とすることが望ましく、さらに2%以下とすることがより望ましい。

【0032】

【発明の実施の形態】本発明において酸素プラズマエッチングを行う際、基板温度を -50°C ～ 50°C とするが、より好ましくは -50°C ～ 30°C とする。このような温度とすることにより銅系金属膜の酸化の進行をより効果的に抑制することができる。

【0033】また酸素プラズマエッチングを行う雰囲気圧力を好ましくは500morr以下、さらに好ましくは100morr以下、最も好ましくは10morr以下とする。このような低い圧力とすることにより、レジストの剥離をより効率的に行うことができる。なお下限は特に無いが、0.1morr以上とすることで充分である。従来の酸素プラズマアッシングでは、処理雰囲気の真空度を一定値以上とすることが必要となる。アッシング処理は等方的処理であることが望ましいため、プラズマ中の活性種の平均自由行程を短くすることが重要となる。このため処理雰囲気の真空度を一定値以上とすることが必要とされており、通常、1～3torr程度とされていた。これに対し本発明の方法では、上述のように、アッシングを行う場合よりも処理雰囲気を低圧に調整することが好ましい。これによりプラズマ中の活性種の平均自由行程を長くし、エッチング作用を向上させることができる。

【0034】本発明において、半導体基板を高周波電源に接続した電極上に載置し、半導体基板に高周波バイアスを印加した状態で酸素プラズマエッチングを行うこと

7

が好ましい。このようにすることによってレジスト表面に高エネルギーの活性種による衝撃を与えることができ、低温下においても十分にレジストを剥離することができる。高周波バイアスは、エッチング装置の種類等により適宜設定されるが、通常、10W～50Wとされる。あまり高いバイアスをかけると、銅膜の表面がエッチングされたり、銅の酸化が深い位置まで進行する場合がある。ここで上記バイアスはプラズマ中の活性種が基板にほぼ垂直に加速されるように印加することが好ましい。

【0035】本発明において酸素プラズマエッチングを行う際、酸素流量は、処理を行うチャンバーの体積や排気量等を考慮し、安定したエッチング処理が実現できるように適宜に設定される。通常は10～100sccm程度とする。

【0036】本発明の半導体装置の製造方法は、レジスト剥離後に残存するレジスト残渣をその後の洗浄工程で容易に除去できるという利点を有する。特にアミン化合物を含む剥離液を用いれば、一層容易にレジスト残渣を除去することができる。すなわち、レジストを除去する工程の後、アミン化合物を含む剥離液を用いて孔の内壁を洗浄する工程を有するプロセスとすることにより、本発明の効果がより顕著に発揮される。

【0037】なお本発明は銅系金属膜形成以後のプロセスに特徴を有するものであり、半導体基板の種類は特に限定されない。具体的には、シリコン等のIV族元素からなる半導体基板のほか、III-V族やII-VI族の化合物半導体からなる半導体基板を用いることもできる。

【0038】本発明における銅系金属膜とは、銅または銅合金から金属膜をいい、配線として用いられる膜のほか、層間接続プラグ等を用いられる膜等を含む。銅合金とは、たとえば銅／アルミニウム合金等をいう。銅系金属膜の成膜工程は特に制限がなく、めっき法やスパッタ法、CVD法が主として用いられる。

【0039】本発明において銅系金属膜の形成はダマシン法等を用いることができる。たとえば、層間絶縁膜の所定箇所に凹部を形成した後、凹部を埋め込むように銅系金属膜を成膜し、さらに銅系金属膜の不要部分を除去することにより銅系金属膜を形成することができる。銅系金属膜の不要部分の除去は、CMP等により行う。

【0040】本発明における絶縁膜としては、従来から用いられているシリコン酸化膜の他、SOG膜等の低誘電率材料を用いることができる。ここでSOG膜の種類は特に限定されず、無機SOG膜、有機SOG膜、HSQ (Hydrogen Silsesquioxane) 膜等を用いることができる。

【0041】本発明におけるレジストは、酸素プラズマエッチングにより除去されるものであれば特に限定されず、有機化合物からなる一般的なレジスト材料を用いることができる。たとえばノボラック系のレジスト材料の

8

ほか、化学増幅型のレジスト材料等を用いることもできる。

【0042】本発明において酸素プラズマエッチングを行う装置は、処理時の半導体基板温度を-50～50℃の範囲内の温度に調整することのできるものが使用される。また、前述のように、酸素プラズマエッチングを行う際、処理雰囲気圧力を500mtorr以下の低圧とし、半導体基板に高周波バイアスを印加することが好ましいことから、このような条件を実現できる装置を使用することが好ましい。ECRプラズマ装置は、低真空とした場合でも高いプラズマ密度を実現することができるので、本発明に好適に適用することができる。また平行平板型のプラズマ装置も、半導体基板に好適に高周波バイアスを印加することができるので好ましい。

【0043】

【実施例】実施例1

本実施例について図1～3を参照して説明する。

【0044】まずトランジスタ等の素子を形成した半導体基板（不図示）上に、シリコン酸化膜1、シリコン窒化膜2、シリコン酸化膜3をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト4を設けた（図1（a））。

【0045】次にレジスト4をマスクとしてドライエッチングを行い、シリコン酸化膜3中に下層配線埋め込み用の溝を形成した。このときシリコン窒化膜2がエッチングストッパーとして機能する。つづいて、酸素プラズマのアッシングおよびアミン化合物を含有する剥離液を用いた洗浄により、レジスト4を剥離処理した（図1（b））。

【0046】次に、全面にバリアメタル膜としてTaN膜5（膜厚50nm）をスパッタリング法により堆積した。さらにその上に銅膜6をスパッタリング法により堆積し、溝部を埋め込んだ（図1（c））。つづいてCMP (Chemical Mechanical Polishing; 化学的機械的研磨法)により溝外部に形成された不要なTaN膜5および銅膜6を除去して下層配線を完成した（図1（d））。

【0047】下層配線形成後、シリコン窒化膜7（膜厚100nm）、シリコン酸化膜8（膜厚1200nm）をこの順で形成し、さらにその上に所定の形状にパターニングしたレジスト9を設けた（図2（a））。レジスト材料としては、g線あるいはi線用レジストとして使用されるクレゾールノボラック樹脂-ナフトキノンジアド (NQD) 感光剤系ポジ型レジストを用いた。

【0048】このレジスト9をマスクとしてシリコン窒化膜7が露出するまでシリコン酸化膜8をドライエッチングし、層間接続孔を形成した（図2（b））。層間接続孔の開口径は、0.25μmとした。エッチングガスとしてはC₄F₈、Ar、O₂を含む混合ガスを用いた。このガスは、シリコン酸化膜8とシリコン窒化膜7に対し大きなエッチングレートを有するため（シリコン酸化

膜：シリコン窒化膜＝20：1）、エッチングはシリコン窒化膜7の上部でストップした。

【0049】つづいてシリコン窒化膜7をドライエッチングし、下層配線の表面を露出させた（図2（c））。エッチングガスとしてCHF₃、Arの混合ガスを用いた。

【0050】つづいて下記表1の条件にて酸素プラズマエッチングを行い、レジスト9を剥離処理した（図3（a））。エッチングに際しては、公知のECRプラズマ装置を用いた。

【0051】

【表1】

設定項目	設定条件
処理ガス	O ₂
基板温度（℃）	-20
圧力（mtorr）	1
RFバイアス（W）	20
酸素ガス流量（sccm）	30
マイクロ波パワー（W）	800

【0052】基板温度は、ウェハ表面中央部の温度をサーモパイルにより測定した。温度の調整は、基板を載置した電極に冷媒を通し、この冷媒の温度を制御することにより行った。半導体基板は高周波電源に接続した電極上に載置し、半導体基板に高周波バイアスを印加した状態で酸素プラズマエッチングを行った。

【0053】以上のように酸素プラズマによるエッチング処理を行うと、シリコン酸化膜8上にレジスト残渣11が残存するとともに、層間接続孔内部に銅膜6がエッチングされることによって生じる堆積物12が付着する。これらを除くため、アミン化合物を含有する剥離液を用いて洗浄を行った。

【0054】その後、層間接続孔内部を前処理した後、Ta-Nからなるバリアメタル膜およびタングステンからなる埋め込み導電膜を成膜した（不図示）。さらにその表面を平坦化することにより層間接続プラグを完成した。

【0055】本実施例の方法によれば、レジスト剥離工

程で、基板温度を-20℃として酸素プラズマエッチングを行っている。従来技術では基板温度を150～250℃とした酸素プラズマによるアッシングによりレジスト剥離を行っていた。このため図6（b）のように銅膜の表面から酸化が進行し、酸化銅14が形成されるという弊害があった。これに対し本実施例では、基板温度を-20℃とする処理を行っている。このような低温で行うエッチング処理を行った場合、従来のアッシング処理よりもレジスト除去速度は低下するものの銅配線の酸化を効果的に防止することができる。エッチング処理を行った場合でも銅配線の表面で酸化が起こるが、酸化層の形成される深さは100Å（10nm）以下にとどまり、その後に行われる剥離液による処理や次工程のプラグ埋め込み処理の前処理の段階で充分に除去することができる。

【0056】以上のように、本実施例の方法によれば工程の煩雑化をもたらすことなく銅配線の酸化を防ぐことができる。

【0057】実施例2

次に、従来の酸素プラズマアッシングを行った場合と本発明の酸素プラズマエッチングを行った場合についてモデル実験を行い、レジストエッチング速度および銅の酸化の進行の比較した結果を示す。

【0058】（レジストエッチング速度）表面にシリコン酸化膜を設けたシリコン基板上に、レジスト材料を塗布し、試料を作製した。レジスト材料としては、クレゾールノボラック樹脂-ナフトキノンジアジド（NQD）感光剤系ポジ型レジストを用いた。レジストの膜厚は2μmとした。

【0059】次いで下記表2に示す条件下でレジスト剥離処理を行った。この条件で処理を行った場合の、処理時間とレジスト除去量の関係を図9に示す。本発明の方法では、処理温度が低いためにレジスト除去速度が低下するものの、従来のアッシングの1/2以上の速度でレジストを除去することができる。

【0060】

【表2】

	本発明の方法	従来方法
レジスト剥離方法	酸素プラズマエッチング	酸素プラズマアッシング
処理装置	ECRプラズマ装置	マイクロ波アッシング装置
処理ガス	O ₂ ガス	O ₂ ガス
基板温度（℃）	-20	150
圧力（torr）	0.02	2
RFバイアス（W）	20	0
酸素ガス流量（sccm）	30	50
マイクロ波パワー（W）	800	1000

【0061】（銅の酸化の進行）表面にシリコン酸化膜を設けたシリコン基板上に、めっき法にて銅膜を成膜し、試料を作製した。次いで上記表2に示した雰囲気下

に試料を2分間放置した。その後、XPS法により銅酸化層の深さを測定した。本発明の方法および従来方法の銅酸化層の深さを図10に示す。本発明の方法では、銅

酸化層の深さが100Å以下に抑えられていることが明らかになった。

【0062】実施例3

実施例2で示した本発明の方法による処理を、基板温度を変えて行った結果を図11に示す。図11の結果より、基板温度を $-50 \sim 50^{\circ}\text{C}$ とすれば銅の酸化を抑制しつつレジストを好適に除去できることが明らかになった。特に基板温度を 30°C 以下とすれば、銅酸化層の厚みが100Å以下とすることができ、また若干の温度の変動があっても銅酸化層の厚みを安定的に低減できる。

【0063】

【発明の効果】以上説明したように本発明によれば、銅系金属膜の上部に接続孔を設けた後、レジストを剥離する際、銅系金属膜表面の酸化を抑制できる温度でレジストを除去している。たとえば、基板温度を $-50^{\circ}\text{C} \sim 50^{\circ}\text{C}$ として酸素プラズマエッチングを行うことによりレジストを除去している。このため、工程の煩雑化をもたらすことなく銅配線の酸化を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の工程断面である。

【図2】本発明の半導体装置の製造方法の工程断面である。

【図3】本発明の半導体装置の製造方法の工程断面である。

【図4】従来の半導体装置の製造方法の工程断面である。

【図5】従来の半導体装置の製造方法の工程断面である。

【図6】従来の半導体装置の製造方法の工程断面である。

【図7】従来の半導体装置の製造方法の工程断面である。

【図8】従来の半導体装置の製造方法の工程断面である。

【図9】本発明および従来のレジスト剥離処理を行ったときの処理時間とレジスト除去量の関係を示す図である。

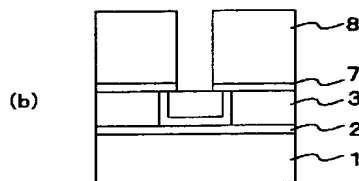
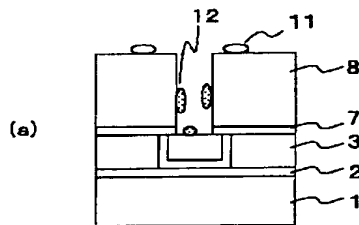
【図10】本発明および従来のレジスト剥離処理を行った後の銅の酸化の進行の程度を示す図である。

【図11】酸素プラズマエッチング処理における処理時間および銅酸化層の深さの基板温度依存性を示す図である。

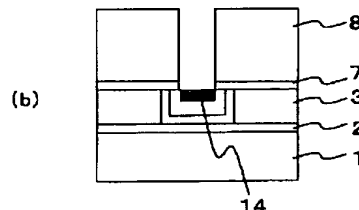
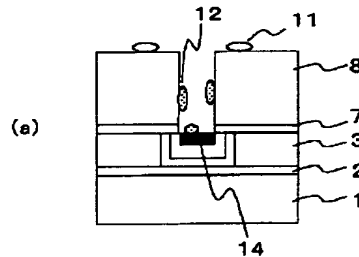
【符号の説明】

- 1 シリコン基板
- 2 シリコン窒化膜
- 3 シリコン酸化膜
- 4 レジスト
- 5 TaN膜
- 6 銅膜
- 7 シリコン窒化膜
- 8 シリコン酸化膜
- 9 レジスト
- 10 堆積物
- 11 レジスト残渣
- 12 堆積物
- 13 シリコン窒化膜
- 14 酸化銅

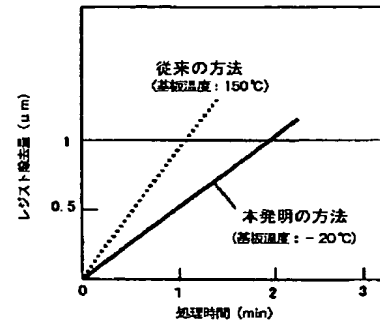
【図3】



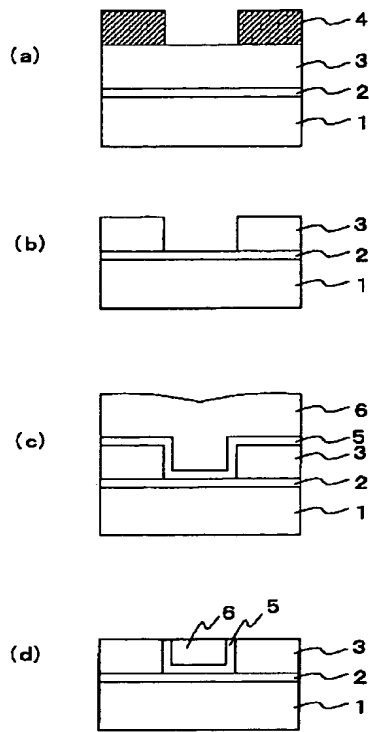
【図6】



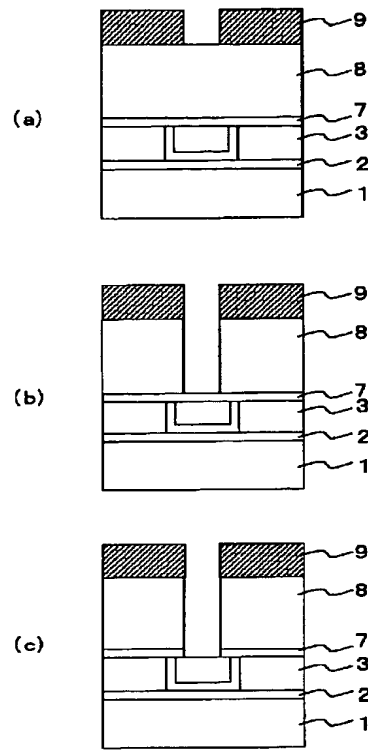
【図9】



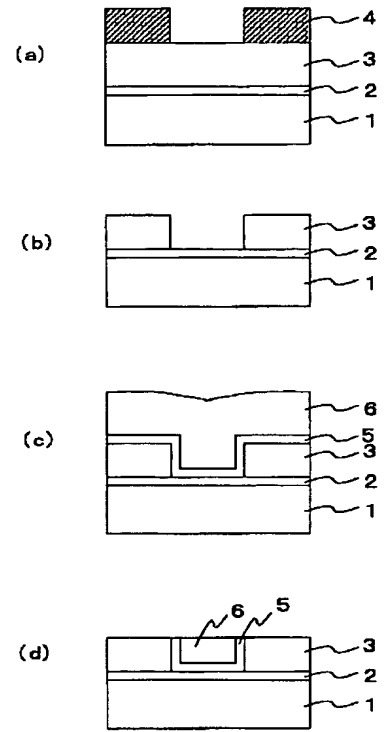
【図1】



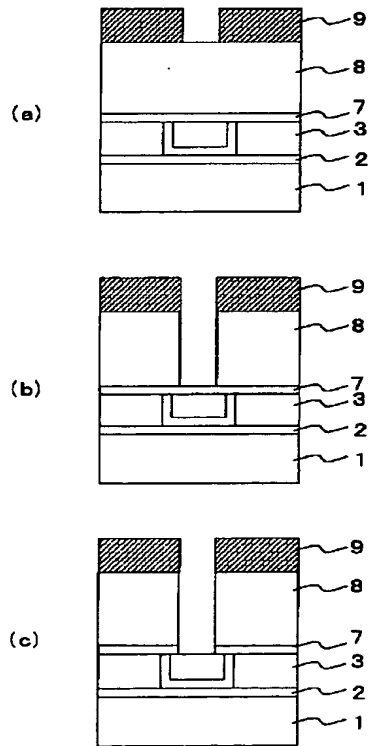
【図2】



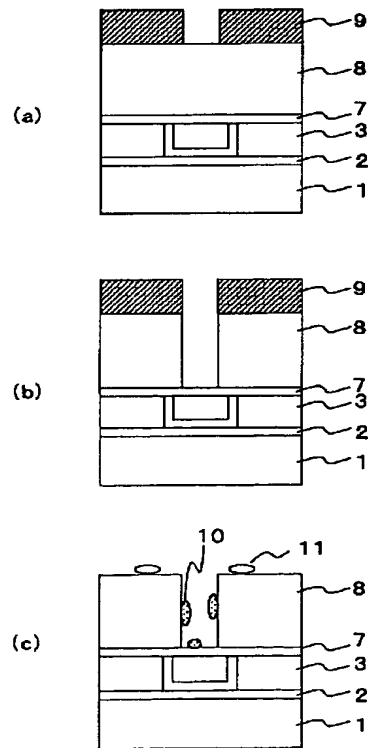
【図4】



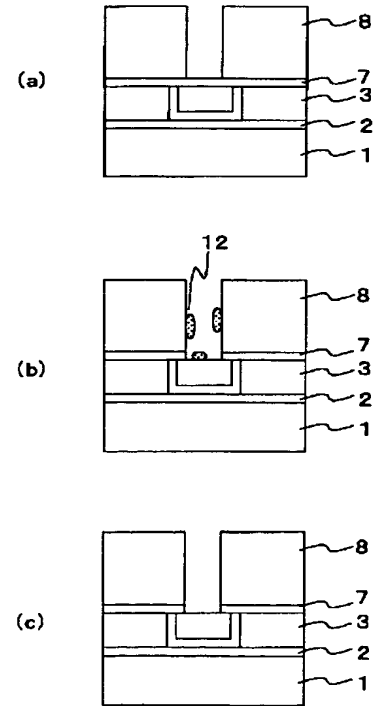
【図5】



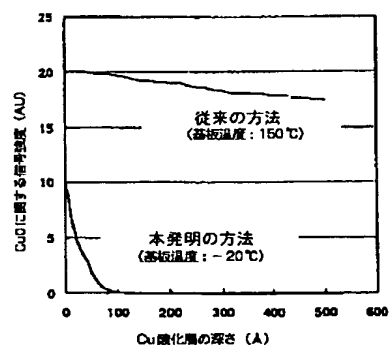
【図7】



【図8】



【図10】



【図11】

